

⑫ 公開特許公報(A) 平4-165679

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月11日

H 01 L 29/784
21/322

X

7738-4M

9056-4M

9056-4M

H 01 L 29/78

3 1 1 G

3 1 1 X

審査請求 未請求 請求項の数 1 (全15頁)

⑮ 発明の名称 絶縁ゲイト型半導体装置

⑯ 特 願 平2-293264

⑰ 出 願 平2(1990)10月29日

⑱ 発 明 者 山 崎 舜 平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 細 書

1. 発明の名称

絶縁ゲイト型半導体装置

2. 特許請求の範囲

1. 絶縁性基板上に設けられた酸化珪素膜と酸化珪素膜上に設けられた絶縁ゲイト型電界効果トランジスタであって、前記酸化珪素膜と前記絶縁ゲイト型電界効果トランジスタのゲイト絶縁膜の少なくとも一方にハロゲン元素が混入されていることを特徴とする絶縁ゲイト型半導体装置。

3. 発明の詳細な説明

(発明の利用分野)

本発明はアクティブマトリックス型の液晶表示装置等の駆動素子等に用いられる絶縁ゲイト型半導体装置に関するものである。

(従来の技術)

従来薄膜トランジスタとして用いられる絶縁ゲイト型半導体装置のゲイト絶縁膜としては、Ar原子をスパッタ用気体として用いたスパッタリング法によって形成された酸化珪素膜が用いられていた。

(従来技術の問題点)

従来の方法においては、使用材料中に含まれ、かつ反応中にも存在する原子(例えばAr等)が、ゲイト絶縁膜中に多数取り込まれ、膜中の固定電荷発生の原因となっていた。更に反応中に存在する原子のイオン種が、薄膜トランジスタの活性層表面に衝突し、損傷を与え、その結果ゲイト絶縁膜と活性層との界面近傍に活性層とゲイト絶縁膜との混合層が形成され、結果として界面準位を形成し、いずれの場合も良好な薄膜トランジスタの特性を得ることができなかった。

「本発明の目的」

本発明は従来の絶縁膜の問題点である界面特性の不良を解決する構成を発明することを目的とする。

「発明の構成」

本発明は、絶縁性基板上に設けられた酸化珪素膜と酸化珪素膜上に設けられた絶縁ゲイト型電界効果トランジスタであって、前記酸化珪素膜とゲイト絶縁膜を形成する酸化珪素膜の少なくとも一方にハロゲン元素が混入されていることを特徴とする絶縁ゲイト型半導体装置である。

絶縁性基板としては代表的にはガラス基板が用いられる。

従来この絶縁性基板であるガラス基板上に直接半導体層を形成した例もあるが、ガラス基板からの不純物（特にナトリウム）の拡散の問題やガラス基板と半導体層との界面特性の不良等の問題を防止するために酸化珪素膜をガラス基板上に設けその上に半導体装置を形成すると高い信頼性を有するデバイスを得ることができる。

本発明は絶縁性基板上の酸化珪素膜とこの酸化珪素膜上に設けられた絶縁ゲート型電界効果トランジスタのゲート絶縁膜の少なくとも一方にハロゲン元素を混入させることにより半導体層とこれら酸化珪素膜との間の界面に局在準位のほとんど存在しない構成を得ようとするものである。

酸化珪素膜の作製方法としてはスパッタ法、光CVD法、PCVD法、熱CVD法等を用いることができる。

【実施例1】

本実施例は水素または水素を含有した不活性気体雰囲気中における基板上へのスパッタ法による半導体膜の成膜工程と、前記スパッタ法によって得た半導体膜形成の前または後に弗化物気体と酸

化物気体または弗化物気体と酸化物気体を含有した不活性気体の雰囲気によりスパッタ法により酸化珪素膜を形成し前記半導体膜の一部を絶縁ゲート型半導体装置のチャネル形成領域として構成し前記酸化珪素膜の一部をゲート絶縁膜としたものである。

また前記半導体膜の一部をチャネル形成領域として構成する手法の一例として、水素または水素を含有した不活性気体雰囲気中によるスパッタで得られた非晶質性（アモルファスまたは極めてそ状態に近い）半導体膜（以下a-Siという）を450℃～700℃代表的には600℃の温度を半導体膜に与えて少なくともチャネル形成領域を結晶化させることにより本発明の絶縁ゲート型半導体装置は得られる。

この結晶化の後の半導体膜は平均の結晶粒径が5～400Å程度であり、かつ半導体膜中に存在する水素含有量は5原子%以下である。また、この結晶性を持つ半導体膜は格子歪みを有しておりミクロに各結晶粒の界面が互いに強く密接し、結晶粒界でのキャリアに対するバリアを消滅させる効果を持つ。このため、単に格子歪みの無い多結

晶の結晶粒界では、酸素等の不純物原子が偏析し障壁（バリア）を構成しキャリアの移動を阻害するが、本発明のように格子歪みを有しているとバリアが形成されないか又はその存在が無視できる程度であるため、その電子の移動度も5～300cm²/V・sと非常に良好な特性を有していた。

また、プラズマCVD法により得られた半導体膜はアモルファス成分の存在割合が多く、そのアモルファス成分の部分が自然酸化され内部まで酸化膜が形成される、一方スパッタ膜は緻密であり自然酸化が半導体膜の内部にまで進行せず、表面のごく近傍付近しか酸化されない、この緻密さ故に格子歪みを持つ結晶粒子同士がお互いに強く押し合うことになり、結晶粒界面付近でキャリアに対するエネルギーバリアが形成されないという特徴を持つ。

第1図に本実施例において作製した薄膜トランジスタの作製工程を示す。

まず、ガラス基板(11)上にSiO₂膜(12)を以下の条件においてマグネトロン型RFスパッタ法により200nmの厚さに形成した。

反応ガス O₂ 95体積%

NF₃ 5体積%

成膜温度 150℃

RF(13.56MHz)出力 400W

圧力 0.5 Pa

シリコンをターゲットに使用

さらにその上にマグネトロン型RFスパッタ装置によってチャネル形成領域となるa-Si膜(13)を100nmの厚さに成膜し第1図(a)の形状を得た。

成膜条件は、不活性気体であるアルゴンと水素雰囲気下において、

H₂/(H₂+Ar)=80% (分圧比)

成膜温度 150℃

RF(13.56MHz)出力 400W

全圧力 0.5Pa

とし、ターゲットは単結晶シリコンターゲットを用いた。

この後、450℃～700℃の温度範囲特に600℃の温度で10時間の時間をかけ水素または不活性気体中、本実施例においては窒素100%雰囲気中においてa-Si膜(13)の熱結晶化を行い、結晶性の高い珪素半導体層を作製した。尚前記チャネル形成領域となるa-Si膜(13)スパッタ法によって成膜す

る際、非単結晶シリコンターゲットを用い、投入電力パワーを小さくすると粒径が無視できるほど小さく、かつ格子歪みを有する緻密な結晶状態が得られる。

このような方法により形成された半導体膜中に存在する酸素不純物の量はSIMS分析により $2 \times 10^{19} \text{cm}^{-3}$ 、炭素は $5 \times 10^{17} \text{cm}^{-3}$ であり、水素の含有量は5%以下であった。このSIMSを使用した不純物濃度の値は半導体膜中で深さ方向にその濃度が増加しているため、深さ方向の濃度を調べその最小の値で記述した。これは、半導体膜の表面付近には自然酸化膜が存在しているからである。また、この不純物の濃度の値は結晶化の処理後であっても、変化はしていなかった。

この不純物濃度は当然ながら低い値である程、半導体装置として使用する際には有利であることは明らかであるが、本発明の半導体膜の場合、結晶性を持つと同時に格子歪みを持っているので結晶粒界でバリアが形成されず、 $2 \times 10^{19} \text{cm}^{-3}$ 程度の酸素不純物濃度が存在していても、キャリアの移動を妨害する程度は低く、実用上の問題は発生しなかった。

マグネトロン型RFスパッタ法により以下の条件で成膜した。

酸素 95体積% NF_3 5体積%

圧力0.5pa

成膜温度100℃

RF(13.56MHz)出力400W

ターゲットとしてはシリコンターゲットまたは合成石英のターゲットを使用した。

ここにおいても非晶質シリコンターゲットを用いた投入パワーを落とすと、緻密な固定電荷の存在しにくい酸化珪素膜を得ることができる。

本発明の構成における酸化珪素膜例えばゲイト絶縁膜の作製をスパッタ法によって行う場合、ハロゲン元素を含む気体と酸化物気体とが不活性気体に対して50%以内、好ましくは不活性気体を用いない条件下で成膜するとよい。

またハロゲン元素を含む気体を酸化物気体に対し2~20体積%同時に混入することにより、酸化珪化物に同時に不本意で導入されるアルカリイオンの中和、珪素不対結合手の中和をも可能とすることができる。

本発明の構成を得るために用いられるスパッタ

この半導体膜は第9図に示すレーザラマン分析のデータよりわかるように、結晶の存在を示すピークの位置が、通常の単結晶シリコンのピーク(520cm^{-1})の位置に比べて、低波数側にシフトしており、格子歪みの存在をうらづけていた。

また、本実施例においてはシリコン半導体を使用して本発明の説明をおこなっているが、ゲルマニウム半導体やシリコンとゲルマニウムの混在した半導体をしようすることも可能であり、その際には熱結晶化の際に加える温度を100℃程度上げることが可能であった。

さらにより緻密な半導体膜あるいは酸化珪素膜を形成するために前記水素雰囲気あるいは水素と不活性気体との雰囲気中でのスパッタの際、基板あるいは飛翔中のスパッタされたターゲット粒子に対して1000nm以下の強力な光またはレーザ照射を連続あるいはパルスで加えてもよい。

この熱結晶化させた珪素半導体膜に対してデバイス分離パターニングを行い第1図(a)の形状を得、この半導体膜の一部を絶縁ゲイト型半導体装置のチャネル形成領域として構成させた。

つぎに酸化珪素膜(SiO_2)(15)を100nmの厚さに

法としてRFスパッタ、直流スパッタ等いずれの方法も使用できるが、スパッタターゲットが導電率の高い酸化物、例えば SiO_2 等の場合、安定した放電を持続するためにRFマグネトロンスパッタ法を用いることが好ましい。

また酸化物気体としては、酸素、オゾン、五酸化珪素等を挙げることができるが、特にオゾンや酸素を使用した場合、酸化珪素膜中に取り込まれる不純な原子が存在しないので、非常に良好な絶縁膜例えばゲイト絶縁膜を得ることができた。

またハロゲン元素を含む気体として、弗化物気体としては弗化珪素(NF_3 , N_2F_4)、弗化水素(HF)、弗素(F_2)、フロンガスを用い得る。化学的に分解しやすく、かつ取り扱いが容易な NF_3 が用いやすい。塩化物気体としては、四塩化炭素(CCl_4)、塩素(Cl_2)、塩化水素(HCl)等を用い得る。またこれら例えば弗化珪素の量は、酸化物気体例えば酸素に対して2~20体積%とした。これらハロゲン元素は熱処理により酸化珪素中のナトリウム等のアルカリイオンとの中和、珪素の不対結合との中和に有効であるが、同時に多量すぎると、 SiF_4 等珪素主成分を気体とする可能性を内在するためよく

ない。一般には珪素に対して0.1～5体積%のハロゲン元素を膜中に混入させた。

スパッタ用の気体としてのオゾンの使用は、オゾンがラジカルに分解されやすく、単位面積当たりのラジカル発生量が多く、成膜速度向上に寄与することができた。

従来より行われてきたスパッタリング法によるゲイト絶縁膜の作製においては、不活性ガスであるArが酸素ガスより多く、通常は酸素が0～10体積%程度で作製されていた。すなわち、従来から行われてきたスパッタ法では、Arがターゲット材料をたたき、その結果発生したターゲットの粒子を被形成面上に成膜することが当然の如く考えられていた。これはAr等の不活性ガスがターゲット材料をたたきだす確率(スパッタリングイールド)が高い為であった。本発明者らは、スパッタリング法によって作製されたゲイト絶縁膜の特性について鋭意検討した結果、ゲイト絶縁膜の性能を示す活性層とゲイト絶縁膜界面の界面単位、およびゲイト絶縁膜中の固定電荷の数を反映するフラットバンド電圧の理想値よりのズレが、スパッタリング時のArガスの割合に大きく依存することを

見出した。

フラットバンド電圧とは、絶縁膜中の固定電荷の影響を打ち消すのに必要な電圧であり低い程絶縁膜としての特性が良いことをしめす。

第2図に、本実施例において作製した多結晶珪素半導体(13)上に酸化珪素膜(15)を本実施例で示した方法で形成し(第1図(a)の状態)、その上に1mmφのアルミニウム電極を電子ビーム蒸着し調べた結果におけるフラットバンド電圧と(Arガス/酸化性ガス)の体積%との関係を示す。

Arガス100%に比べ、Arガスの量を酸化性ガス(第2図では酸素)の量より少なく、50%以下とするとフラットバンド電圧のズレが減少していることがわかる。

フラットバンド電圧の理想電圧からのズレは、Arガスの割合に大きく依存し、Arガスの割合が20%以下の場合、ほぼ理想電圧に近い値となっている。

これらのことより、スパッタリングにより成膜時に反応雰囲気下に存在する活性化されたAr原子が、ゲイト絶縁膜の膜質に影響を与えており、できるだけAr原子の存在を減らしてスパッタリング

成膜することが望ましいことが判明した。

その理由としては、Arイオンまたは活性化されたAr原子が界面に衝突して、界面での損傷、欠陥を形成し、固定電荷発生の原因となっていることが考えられる。

第3図に本実施例において作製した多結晶珪素半導体(13)上にハロゲン元素が混入された酸化珪素膜(15)(第1図(a)の状態)上にアルミニウム電極(1mmφ)を形成後、300℃にてアニールを行った試料に対しての特性を示す。

この第3図は、BT(バイアス-温度)処理を施し、ゲイト電極側に負のバイアス電圧を 2×10^4 V/cm、150℃で30分加え、さらに同一条件下で正のバイアス電圧を加え、この状態においてそれらの差すなわちフラットバンド電圧のズレ(ΔF_{ss})の測定値と本実施例におけるゲート酸化膜である酸化珪素膜(15)をスパッタ法によって作製する際における雰囲気中の(酸素/NF₃)の体積%との関係を示したグラフである。

第3図より明らかなようにNF₃が0体積%の雰囲気中で酸化珪素膜をマグネトロン型RFスパッタ法によって形成すると、(ΔF_{ss})は9Vもあった。

しかしこの成膜中にハロゲン元素である弗素を少しでも添加すると、その値は急激に減少した。

これは成膜中にナトリウム等の正のイオンの混入があったものが弗素を添加することにより、



となり電気的に中和されるものと推定される。

このナトリウムの正イオンはガラス基板からも拡散するので、ガラス基板上に弗素原子の混入された酸化珪素膜を設けるのは効果がある。

この珪素の中和に関しては、水を添加する方法も知られている。しかしこの水素との中和のSi-H結合は強い電界(BT処理)で再分離して、再びSiの不對結合手となり、界面単位成立の原因となるため、弗素で中和した方が好ましい。

また、酸化珪素膜中には必ずSi-H結合が存在しておりこのSi-H結合が再分離した際、弗素原子が分離した水素を積極的に中和し、界面単位成立を防ぐという効果もある。さらに弗素の存在によって、Siと結合しているHは弗素と水素結合をしておりSiが固定電荷となることを防いでいる。

第4図は、この弗化物気体をさらに増加させて

いったときの耐圧を示す。耐圧は1mm φのAl電極を用い、そのリーク電流が1μAを超えたときとの電圧とした。

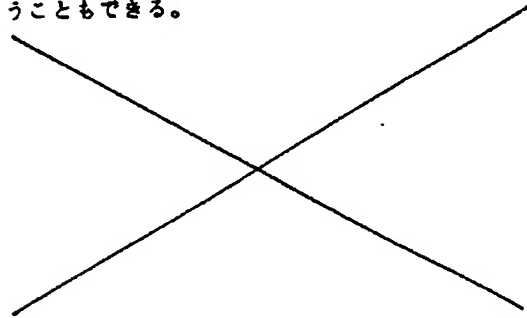
試料によりバラツキがあるため、図中においてはその値をX、σ（分散シグマ値）を示す。この耐圧は20%以上となると低くなり、またσ値も大きくなってきた。そのためハロゲン元素の添加は20体積%以下とし、一般には0.2～10%とした方がよかった。ちなみに、SIMS（二次イオン質量分析器）で弗素の量を調べると、成膜時に酸素と比べて1体積%を加えると、 $1 \sim 2 \times 10^{19} \text{cm}^{-3}$ を有していた。すなわちスパッタ成膜中に同時に添加することによりきわめて膜中に取り込まれやすい元素であることがわかった。しかしあまり多く（20体積%以上）なると酸化珪素膜をボロボロにしてしまう傾向があり、結果として耐圧が悪く、かつバラツキが多くなってしまった。

また、スパッタリングに用いる材料は全て高純度のものが好ましい。例えば、スパッタリングターゲットは4N以上の合成石英、またはLSIの基板に使用される程度に高純度のシリコン等が最も好ましい。同様にスパッタリングに使用するガスも

高純度（5N以上）の物を用い、不純物が酸化珪素膜中に混入することを極力避けた。

なお本実施例のように弗化物気体が添加された酸素雰囲気中におけるスパッタ法で成膜したゲート絶縁膜である酸化珪素膜にエキシマレーザ光を照射し、フラッシュアニールを施し、膜中に取り入れた弗素等のハロゲン元素を活性化し、珪素の不完全結合手と中和させ、膜中の固定電荷の発生原因を取り除くことは効果がある。

この時、エキシマレーザのパワーとショット数を適当に選ぶことにより上記ハロゲン元素の活性化とゲート絶縁膜下の半導体層の活性化を同時に行うこともできる。



この酸化珪素膜(15)上にCVD法により一導電型を付与する不純物として本実施例においてはリンが混入された半導体層を形成し所定のマスクパターンを使用して、フォトリソグラフィ加工を施し、このドーブされた半導体膜をゲイト電極(20)として形成し第1図(c)の形状を得た。

この一導電型を付与する不純物が混入された半導体層の形成法としてはスパッタ法、CVD法等の成膜法を用いることができる。

このゲイト電極はドーブされた半導体層に限定されることなくその他の材料を使用可能である。

次にこのゲイト電極(20)またはゲイト電極(20)をエッチングする際に使用したマスク等をマスクとして、セルフアラインに不純物領域(14)及び(14')をイオン打ち込み技術を使用して形成した。

これにより、ゲイト電極(20)の下の半導体層(17)は絶縁ゲイト型半導体装置のチャンネル領域として構成された。

次にこれらの全て上面を覆って層間絶縁膜(18)を形成した後に、ソース、ドレイン電極のコンタ

クト用の穴をあけ、その上面にスパッタ法により金属アルミニウムを形成し、所定のパターンニングを施し、ソース、ドレイン電極(16)、(16')を構成し、絶縁ゲイト型半導体装置を完成させた。

本実施例の場合、チャンネル領域を形成する半導体層(17)とソース(14)、ドレイン(14')を形成する半導体層とが同一物で構成されており、工程の簡略化をはかれる。また同じ半導体層を使用しているため、ソース、ドレインの半導体層も結晶性を持ち、キャリアの移動度が高いのでより高い電気的特性を持つ絶縁ゲイト型半導体装置を実現することができた。

最後に水素100%雰囲気中において375℃の温度で水素熱アニールを30min行い本実施例を完成させた。

この水素熱アニールは多結晶珪素半導体中の粒界ポテンシャルを低減させ、デバイス特性を向上させるためである。

また本実施例において作製した薄膜トランジスタ第1図(d)のチャンネル部(17)の大きさは100×

100 μ mの大きさである。

以上が本実施例において作製した多結晶硅素半導体層を用いた薄膜トランジスタの作製方法であるが、本実施例における水素を添加した雰囲気中でのa-Si半導体層(第1図(a)の(13))の形成とその熱再結晶化について記載する。

以下、チャンネル形成領域である第1図(a)のa-Si層(13)をマグネトロン型RFスパッタ法により成膜する際の条件である水素の濃度を变化させた参考例5例を以下に示す。

(参考例2)

本参考例は実施例1の作製法においてチャンネル形成領域となる第1図(a)の(13)を作製する際のスパッタ時における雰囲気中の分圧比を

$$H_2/(H_2+Ar)=0\% \text{ (分圧比)}$$

とし、他は実施例1と同様な方法によって作製したものである。

(参考例3)

本参考例は実施例1の作製法においてチャンネル形成領域となる第1図(a)の(13)を作製する際の

のスパッタ時における雰囲気中の分圧比を

$$H_2/(H_2+Ar)=5\% \text{ (分圧比)}$$

とし、他は実施例1と同様な方法によって作製したものである。

(参考例4)

本実施例は実施例1の作製法においてチャンネル形成領域となる第1図(a)の(13)を作製する際のスパッタ時における雰囲気中の分圧比を

$$H_2/(H_2+Ar)=20\% \text{ (分圧比)}$$

とし、他は実施例1と同様な方法によって作製したものである。

(参考例5)

本参考例は実施例1の作製法においてチャンネル形成領域となる第1図(a)の(13)を作製する際のスパッタ時における雰囲気中の分圧比を

$$H_2/(H_2+Ar)=30\% \text{ (分圧比)}$$

とし、他は実施例1と同様な方法によって作製したものである。

(参考例6)

本参考例は実施例1の作製法においてチャンネル

形成領域となる第1図(a)の(13)を作製する際のスパッタ時における雰囲気中の分圧比を

$$H_2/(H_2+Ar)=50\% \text{ (分圧比)}$$

とし、他は実施例1と同様な方法によって作製したものである。

以下上記実施例の電気的特性を比較した結果を示す。

第5図は完成した前記1～6例のチャンネル部(第1図dの(17))におけるキャリアの移動度 μ (FIELD MOBILITY)とスパッタ時における水素分圧比 $(P_H/P_{TOTAL}=H_2/(H_2+Ar))$ の関係をグラフ化したものである。第5図におけるプロット点と前記各例との対応関係を以下に第1表として示す。

第1表

$P_H/P_{TOTAL}\%$	例番号
0	2
5	3
20	4
30	5
50	6
80	1

第5図のによれば水素分圧20%以上において顕著に高い移動度 μ (FIELD MOBILITY)が得られていることがわかる。

第6図はしきい値電圧とスパッタ時における水素分圧比 $(P_H/P_{TOTAL}=H_2/(H_2+Ar))$ の関係を曲線Aとしてグラフ化したものである。

なお曲線Bは本発明の構成との比較のために本実施例において弗素原子の混入されていないゲート酸化膜を採用した比較例の曲線Aに対応するグラフ曲線である。

水素分圧比 $(P_H/P_{TOTAL}=H_2/(H_2+Ar))$ と前記各例番号の対応関係は表1の場合と同じである。

第6図より本発明の構成である弗素原子の混入されたゲート酸化膜を採用すると、従来のゲート酸化膜を採用した絶縁ゲイト型電界効果トランジスタに対して低いしきい値電圧（スレッショールド電圧）を得られることがわかる。

しきい値電圧が低いほど薄膜トランジスタを動作させる動作電圧すなわちゲート電圧が低くてよいことになり、デバイスとしての良好な特性が得られることを考えると第6図の結果は、水素の分圧比の高い条件のスパッタ法によって、スレッショールド電圧2V以下のノーマリオフの状態を与えることができる。すなわち、チャンネル形成領域となる第1図(a)の(13)に示されるa-Si膜を得て、このa-Si膜を熱結晶化させることによって得られる結晶性を持つ半導体層を用いたデバイスは良好な電気的特性を示すことがわかる。また第3図によると水素分圧比が高い方がしきい値電圧が低くなっていることがわかる。このことより前記各例におけるチャンネル形成領域となるa-Si膜のスパッタ法による作製時において、水素の分圧比

を高くするとデバイスの電気的特性が高くなっていく傾向があることがわかる。

第7図～第11図はチャンネル形成領域となる第1図(a)の(13)のa-Si膜のスパッタ法による作製時における水素分圧比 $=H_2/(H_2+Ar)$ が0%、5%、20%、30%、50%の場合における、ドレイン電圧とゲート電圧をパラメーターとした時のドレイン電流の値の変化を示したグラフである。図面の番号と水素分圧の関係と前記例の番号の関係を第2表に示す。

第2表

図面の番号	7	8	9	10	11
水素分圧	0%	5%	20%	30%	50%
例番号	2	3	4	5	6

第7図における(71)、(72)、(73)、は、それぞれゲート電圧が20ボルト、25ボルト、30ボルト、であるときのドレイン電流(ID)とドレイン電圧(VD)の関係を示す曲線である。

以下の第3表に第7図における曲線の表示記号とゲート電圧の関係を示す。

第3表

表示記号	ゲート電圧(V _g)
(71)	20
(72)	25
(73)	30

なお、第8図～第11図におけるゲート電圧とドレイン電流とドレイン電圧の関係をしめす曲線の表示記号との対応関係は、上記第3表において表示記号の二桁目を図面の番号に変換すれば得ることができる。

例えば第8図の曲線(83)は、上記第3表における表示記号(73)に対応する。またこの場合第8図は第2表から参考例3に対応することがわかる。

本実施例における顕著な効果は、第8図と第9図を比較することによって明らかになる。

すなわち、第8図におけるゲート電圧30ボルトにおけるドレイン電圧とドレイン電流の関係を示す曲線(83)と、第9図におけるゲート電圧30ボルトにおけるドレイン電圧とドレイン電流の関係を示す曲線(93)を比較すると第9図すなわち参考例

4（第2表参照）の方が第8図すなわち参考例3（第2表参照）の場合より10倍以上のドレイン電流が得られていることがわかる。

参考例3と参考例4の違いを考えると、このことは本実施例においてa-Si膜（第1図(a)の(13)）を作製する際のスパッタ時に添加する水素の分圧比が5%から20%になると、完成された薄膜トランジスタの電気的特性が大幅に向上することを表していることがわかる。

これは以下の示す測定結果によっても確認することができる。

第12図は本発明の前記例2、3、4、5のチャンネル形成領域となるa-Si膜（第1図(a)の(13)）を作製する際のスパッタ時における水素の分圧比を0%、5%、20%、50%とした場合において、このa-Si膜を熱結晶化させた結晶性を持つ珪素半導体層のラマンスペクトルを示したものである。第9図に示された表示記号と例番号およびスパッタ時の水素分圧比との関係を第4表に示す。

第4表

表示記号	例番号	水素分圧
(121)	2	0%
(122)	3	5%
(123)	4	20%
(124)	5	50%

第12図を見ると曲線(122)に比較して曲線(123)、すなわちチャンネル形成領域(第1図(d)の(17))となるa-Si半導体層を作製する際のスパッタ時における水素の分圧比が5%の場合と20%の場合を比較すると、熱結晶化させた場合スパッタ時における水素の分圧比が20%の場合のラマンスペクトルは顕著にその半導体シリコンの結晶性が表れていることがわかる。

またその平均の結晶粒径は半値幅より5~40Å代表的には50~300Åである。そしてラマンスペクトルのピークの位置は単結晶シリコンのピークの位置である 520 cm^{-1} よりも低波数側にずれており、明らかに格子歪を有していた。

このことは本発明の特徴を顕著に示している。

る。このことは、第9図(93)、第10図(103)、第11図(113)の曲線を比較すれば明らかである。

一般に電界効果トランジスタである薄膜トランジスタにおいてドレイン電圧 V_D が低い場合においては、ドレイン電流 I_D とドレイン電圧 V_D との関係は以下の式によって表される。

$$I_D = (W/L) \mu C (V_G - V_T) V_D \quad (\text{イ})$$

(Solid State electronics, Vol. 24, No. 11, pp. 1059, 1981, Printed in Britain)

上記(イ)式において、 W はチャンネル幅、 L はチャンネル長、 μ はキャリアの移動度、 C はゲート酸化膜の静電容量、 V_G はゲート電圧、 V_T はしきい値電圧、である。第7図~第11図に示された曲線の原点付近はこの(イ)式によって表される。

第7図~第11図は第2表を見れば明らかなように前記例2~8に対応しているものであり、前記例2~6はチャンネル形成領域となるa-Si膜をスパッタ法により作製する際の水素の分圧比を変えたものである。

水素の分圧比を定めれば、キャリアの移動度 μ

すなわち水素を添加したスパッタ法によるa-Si膜の作製の効果は、そのa-Si膜を熱結晶化させて初めて現れるものであるということである。

このように、格子歪みを有していると微結晶粒の各々がお互いに無理に縮んだ状態となっているので、お互いの結晶粒界での密接が強くなり、結晶粒界部分でのキャリアに対するエネルギーバリアも存在せず、かつ酸素等の不純物の偏析も発生しにくくなり、結果として、高いキャリアの移動度を実現することが可能となる。

この事により、半導体膜中に存在する、不純物の濃度が $2 \times 10^{18} \text{ cm}^{-3}$ 程度存在するものであっても、キャリアに対するバリアを形成せず、絶縁ゲイト型半導体装置のチャンネル領域として使用することができるのである。しかし、この不純物濃度は低いにこしたことはない。

また第2表を参照し、第9図、第10図、第11図を比較すると、前記a-Si膜を作製する際のスパッタ時における水素の分圧の割合が高くなるにしたがいドレイン電流が大きくなっていることがわか

るとしきい値電圧 V_T は定まり、また W 、 L 、 C は薄膜トランジスタの構造によって定まる定数であるから(イ)の変数は I_D 、 V_G 、 V_D となる。第7図~第11図に示されている曲線の原点付近は、変数 V_G を固定してあるので結局(16-1)式によって表されることがわかる。なお、(イ)式は第7図~第11図に示されている曲線の原点付近を表せるにすぎない。これはこの式がドレイン電圧 V_D が低い場合において成り立つ近似式にすぎないからである。

さて(イ)式によるとしきい値電圧 V_T が低く、移動度 μ が大きいほどグラフの曲線すなわち第7図~第11図に示されている曲線の原点付近の傾きは大きくなることが示される。

このことは、第4図、第5図の各例ごとの μ 、 V_T の値の違いに基づき第7図~第11図に示される曲線を比較すれば明らかである。

(イ)式によれば、薄膜トランジスタの電気的特性は μ と V_T に依存していることがわかる。

よって第5図、第6図それぞれから単独にデバイス特性を決めることはできないことになる。

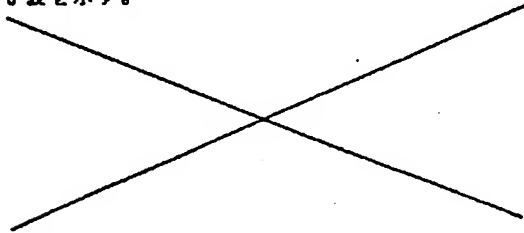
そこで、第7図～第11図に示される曲線の原点の傾きを比較すると、明らかにチャンネル形成領域となるa-Si膜を形成する際のスパッタ時における水素分圧比は、少なくとも20%以上、可能なら100%とすることがよいと結論できる。

このことは以下の考察によっても理解することができる。

第7図～第11図を比較するとチャンネル形成領域となる第1図(a)の(13)のa-Si膜をスパッタ法によって作製する際の水素の100%に近い程、大きなドレイン電流が得られていることがわかる。

このことは曲線(73)、(83)、(93)、(103)、(113)を比較すれば明らかである。

また本発明の効果を示すデータとして以下に第5表を示す。



μ はキャリアの移動度を示し単位は($\text{cm}^2/\text{V}\cdot\text{s}$)である。

on/off特性というのは、前記(VG-ID)特性を示す曲線におけるVG=30ボルトにおけるIDの値とIDの最小値の値との比の対数値である。

この第5表より、総合的にみてより高性能な半導体装置を本実施例の方法で得るには、上記水素分圧比が80%以上の条件を採用するのが適当であることがわかる。

「実施例2」

本実施例においては、第13図に示された構造の絶縁ゲイト型半導体装置を示す。

絶縁基板上に酸化珪素膜をコートすることは実施例1と同じであるが、本実施例においては、チャンネル領域を構成する半導体層の作製の前にゲイト絶縁膜の形成を終える作製方法を示している。

絶縁膜02の上にスパッタ法により金属モリブデンを厚さ3000Åに形成し、所定のパターンニングをして、ゲイト電極09を形成した。

次にゲイト酸化膜(SiO_2)(15)を100nmの厚さに

第5表

水素分圧比	S値	VT	μ	on/off特性
0	2.5	10.6	0.30	5.4
5	2.4	7.9	0.46	5.7
20	1.6	4.9	2.11	6.7
30	1.1	4.5	3.87	6.9
50	0.78	2.5	10.1	6.9
80	0.49	1.9	35.1	6.2

第5表において、水素分圧比というのは本実施例におけるチャンネル形成領域(第1図(d)の(17))となるa-Si膜(第1図(a)の(13))をマグネトロン型RFスパッタ法によって作製する際における雰囲気条件である。

S値というのは、デバイスの特性を示すゲート電圧(VG)とドレイン電流(ID)の関係を示すグラフにおける曲線の立ち上がり部分の $[d(ID)/d(VG)]^{-1}$ の値の最小値であり、この値が小さい程(VG-ID)特性を示す曲線の傾きの鋭さが大きく、デバイスの電気的特性が高いことを示す。

VT はしきい値電圧を示す。

マグネトロン型RFスパッタ法により以下の条件で成膜した。

酸素 95% NF₃ 5%

圧力0.5pa.

成膜温度100℃

RF(13.56MHz)出力400W

シリコンターゲットまたは合成石英のターゲットを使用した。

この酸化珪素膜の上にマグネトロン型RFスパッタ装置によってチャンネル形成領域となるa-Si膜(13)を100nmの厚さに成膜する。

成膜条件は、不活性気体であるアルゴンと水素雰囲気下において、

$\text{H}_2/(\text{H}_2+\text{Ar})=80\%$ (分圧比)

成膜温度 150℃

RF(13.56MHz) 出力 400W

全圧力 0.5Pa

とし、ターゲットは多結晶あるいは非単結晶のSiターゲットを用いた。

その後、450℃～700℃の温度範囲特に600℃の

温度で10時間の時間をかけ水素または不活性気体中、本実施例においては窒素100%雰囲気中においてa-Si膜(13)の熱結晶化を行い、結晶性の高い珪素半導体層を作製した。このような方法により形成された半導体膜中に存在する酸素不純物の量はSIMS分析により $1 \times 10^{18} \text{cm}^{-3}$ 、炭素は $4 \times 10^{18} \text{cm}^{-3}$ であり、水素の含有量は5%以下であった。これによりゲイト電極40の上にチャネル領域10を構成させることができた。

次にn⁺a-Si膜(14)を以下に示す条件でマグネトロン型RFスパッタ法により50nmの厚さに成膜した。

成膜条件は、水素分圧比10~99%以上(本実施例では80%)、アルゴン分圧比10~99%(本実施例では19%)の雰囲気中において、

成膜温度 150 °C

RF(13.56MHz) 出力 400W

全圧力 0.5Pa

でありターゲットとしてリンをドーブした単結晶シリコンを使用した。

次にこの半導体層40の上にソース、ドレイン用の電極のためのアルミニウム膜を形成し、パターニングを施し、ソース、ドレインの不純物領域(14)(14')およびソース、ドレインの電極(18),(16')を形成して、半導体装置を完成した。

本実施例においては、チャネル形成領域の半導体層形成前にゲイト絶縁が形成されているので、熱結晶化の処理の際に、ゲイト絶縁膜とチャネル領域の界面付近が適度に熱アニールされ、界面単位密度をさげることができるという特徴を持つ。

なお、本実施例等においては熱結晶化させる半導体層としてa-Si膜を用いたが、本発明は他の非単結晶半導体を熱結晶化させる場合においても有効であることはいうまでもない。

また上記スパッタ時における不活性気体としてはArを用いたが、その他Heなどのハロゲン気体、またはSiH₄、Si₂H₆などの反応性気体をプラズマ化させたものを用いても良い。また、本実施例のマグネトロン型RFスパッタ法によるa-Si膜の成膜において、水素濃度は5~100%、成膜温度は50

~500°Cの範囲、RF出力は500Hz~100GHzの範囲において、1W~10MWの範囲で任意に選ぶことができ、またパルスエネルギー発生源と組み合わせてもよい。

さらに強力な光照射(波長1000nm以下)エネルギーや、電子サイクロトロン共鳴(ECR)条件を使用することによって、より水素を高プラズマ化させてスパッタリングを行ってもよい。

これは、水素という軽い原子をよりプラズマ化させスパッタリングに必要な正イオンを効率よく生成させてスパッタによって成膜される膜中のマイクロ構造、本実施例の場合においてはa-Si膜中のマイクロ構造の発生を防止するためである。

また前記他の反応性気体を上記の手段に応用してもよい。

本実施例は非晶質性の半導体膜を単にa-Si膜として記載した。これは通常はシリコン半導体を示しているが、その他にゲルマニウムまたはシリコンとゲルマニウムの混合Si_{1-x}Ge_x(0<x<1)であってもよい。

また、本発明の構成はスタガード型、コプレーナ型、逆スタガード型、逆コプレーナ型の絶縁ゲイト型電界効果トランジスタに適用できることはいうまでもない。

〔発明の効果〕

本発明の構成をとることによって、半導体膜とゲート酸化膜との界面特製の極めてよい絶縁ゲイト型半導体装置を実現することができた。

4. 図面の簡単な説明

第1図は本実施例1の作製工程をしめす。

第2図は本実施例の酸化珪素膜におけるフラットバンド電圧と(Arガス/酸化性ガス)%の関係を示したものである。

第3図は本実施例の酸化珪素膜における ΔF_s と酸素雰囲気中におけるNF₃の体積%との関係を示したグラフである。

第4図は本実施例の酸化珪素膜における耐圧と酸素雰囲気中におけるNF₃の体積%との関係を示したグラフである。

第5図は水素の分圧比とキャリアの移動度との

関係を示したものである。

第6図は水素の分圧比としきい値との関係を示したものである。

第7図、第8図、第9図、第10図及び第11図はゲート電圧の値を固定した場合におけるドレイン電圧とドレイン電流の関係を示すものである

第12図は本発明の結晶性を持つ半導体膜のラマンスペクトルをしめしたものである。

第13図は本発明の他の実施例を示す。

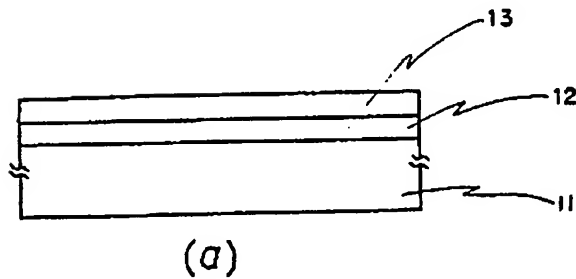
- (11)・・・ガラス基板
- (12)・・・ SiO_2 膜
- (13)・・・a-Si活性層
- (14)・・・ソース領域の半導体層
- (14')・・・ドレイン領域の半導体層
- (15)・・・ゲート酸化膜(SiO_2)
- (16)・・・ソース電極
- (16')・・・ドレイン電極
- (17)・・・チャンネル形成領域
- (18)・・・層間絶縁物

(20)・・・ゲート電極

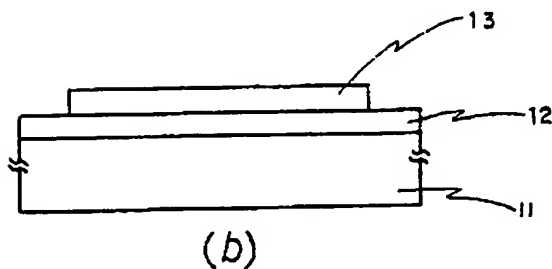
特許出願人

株式会社半導体エネルギー研究所

代表者 山崎 昇

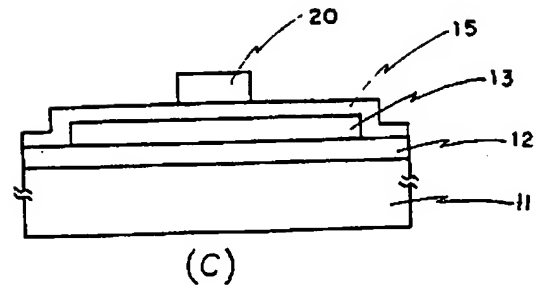


(a)

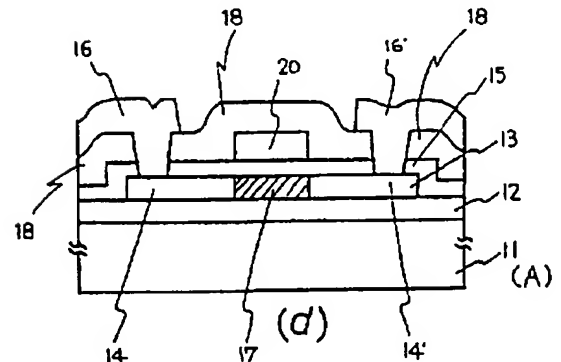


(b)

第 1 図

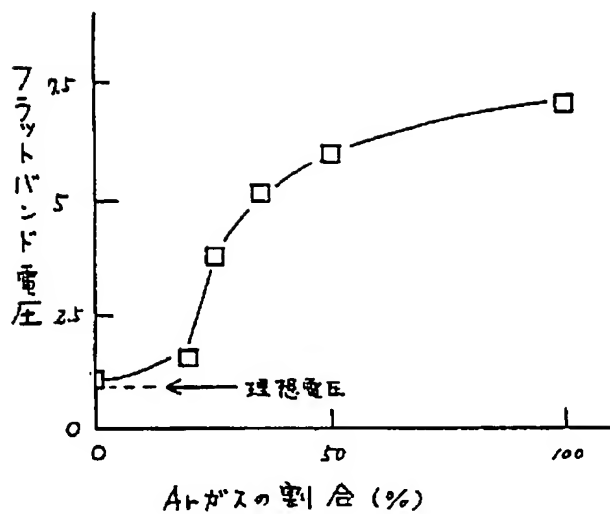


(c)



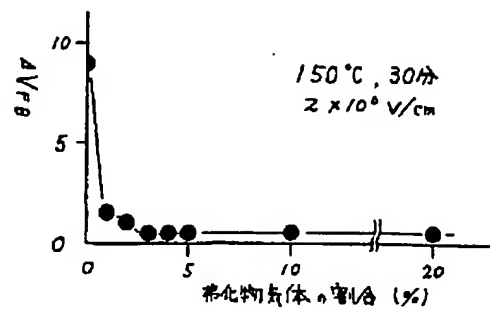
(d)

第 1 図

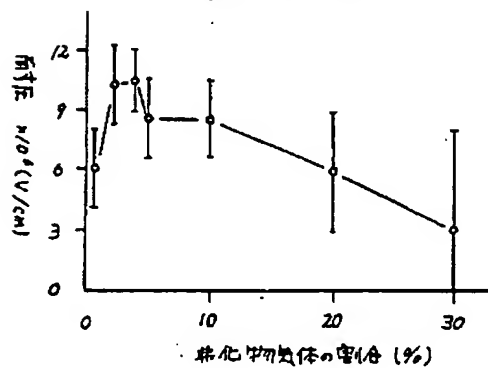


第 2 図

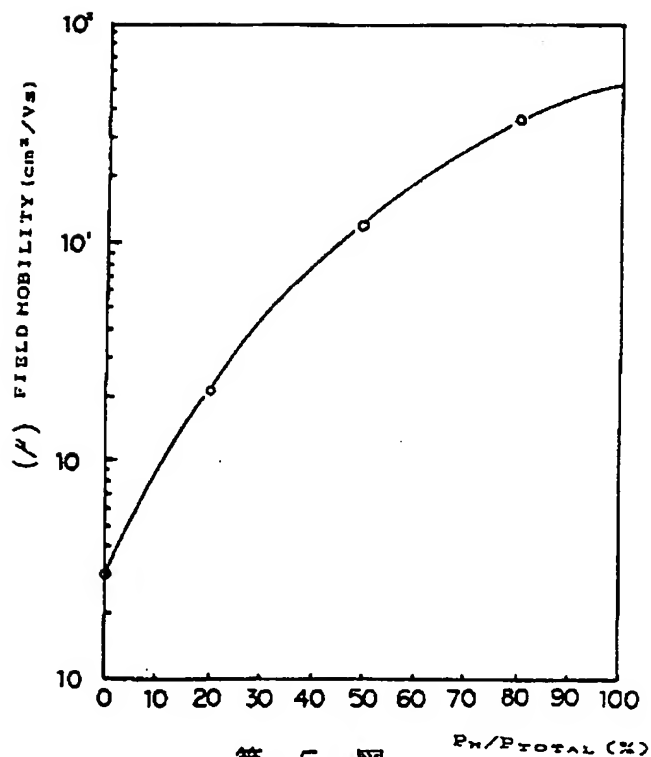
1153



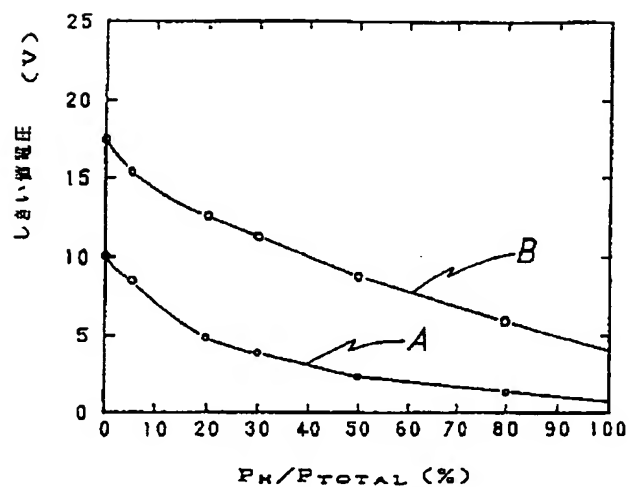
第 3 図



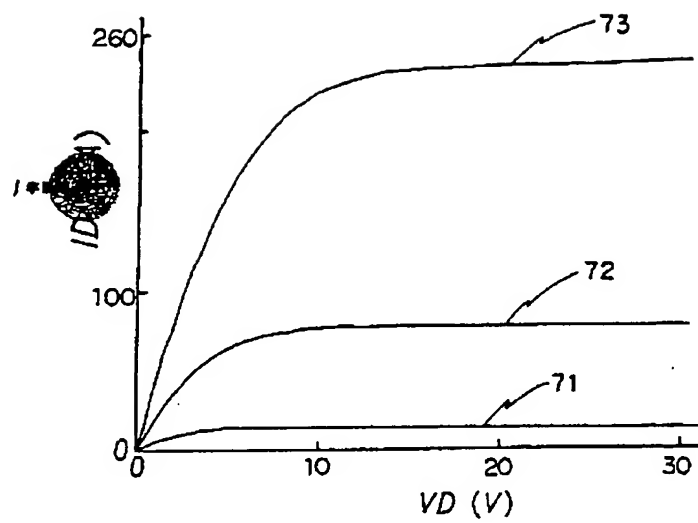
第 4 図



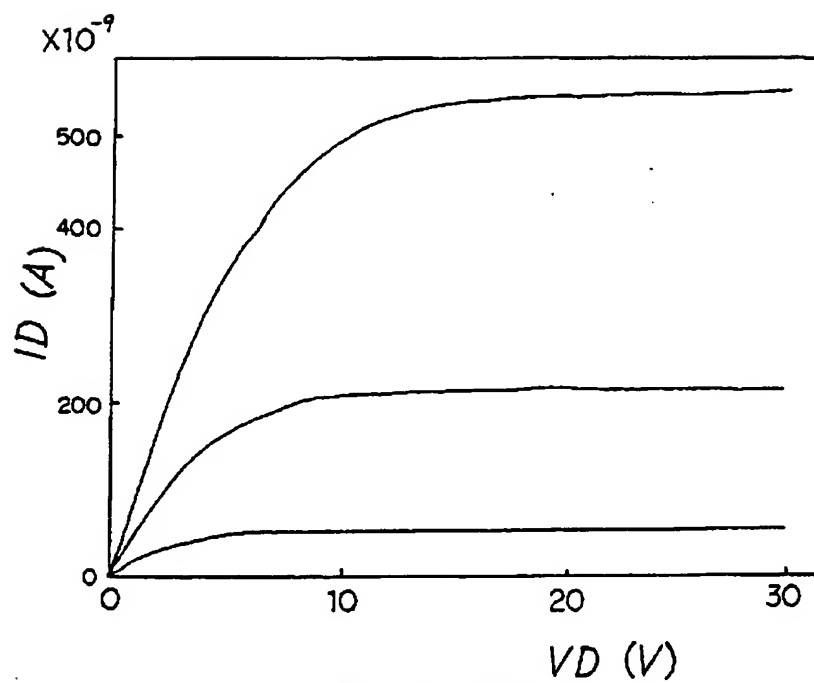
第 5 図



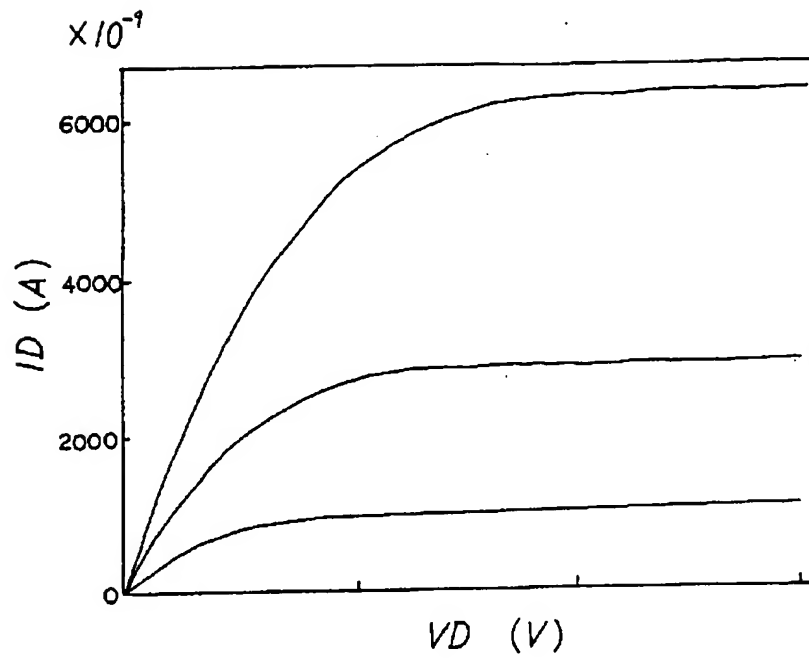
第 6 図



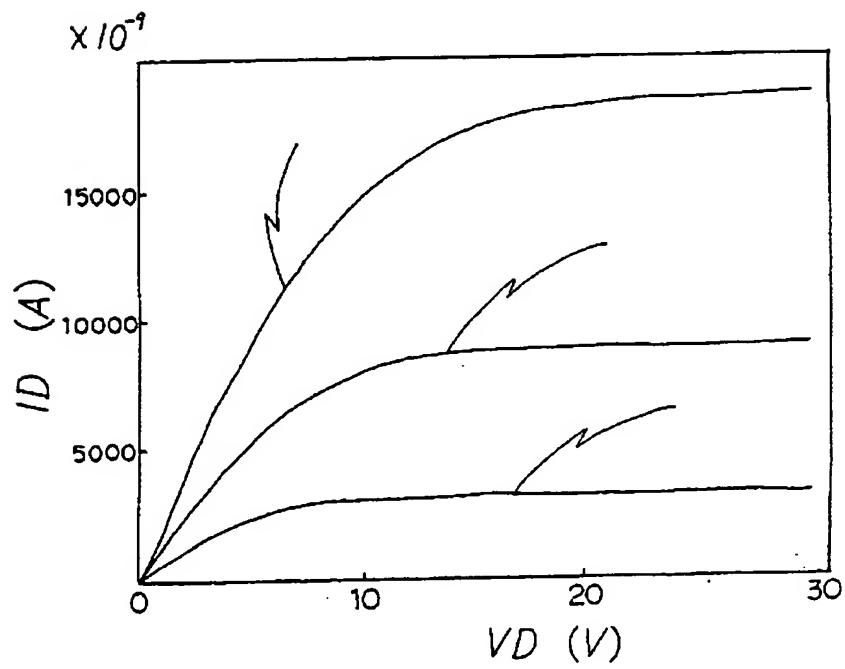
第 7 図



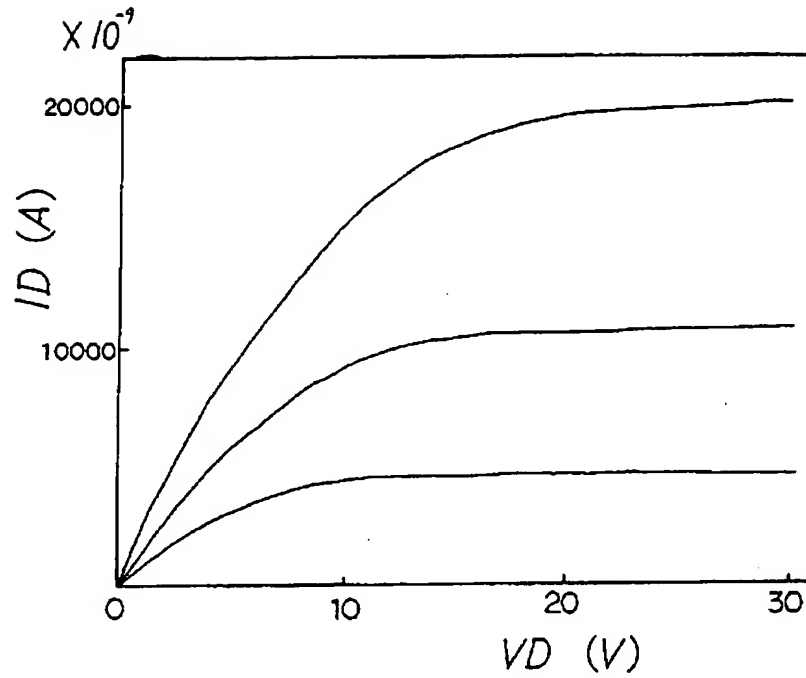
第 8 図



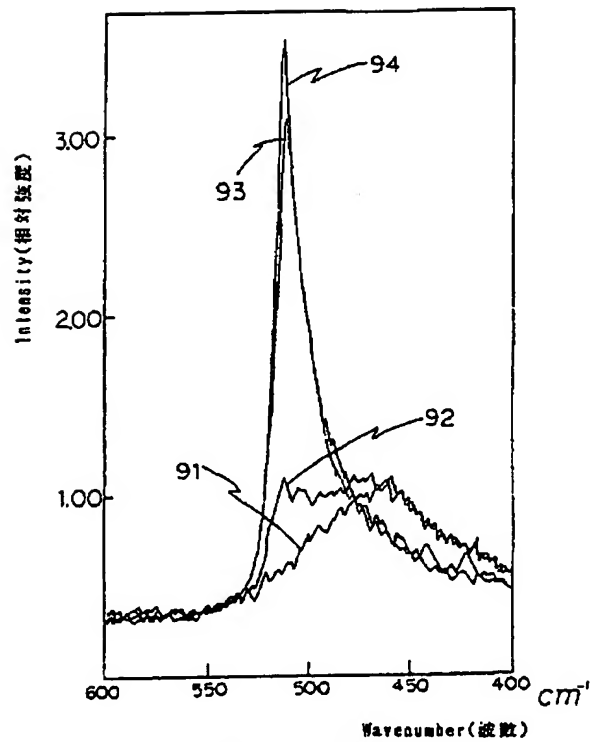
第 9 図



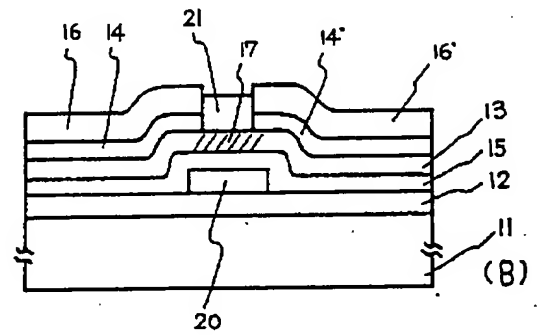
第 10 図



第 11 図



第 12 図



第 13 図

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03800579 **Image available**

INSULATING GATE TYPE SEMICONDUCTOR DEVICE

PUB. NO.: **04-165679** [JP 4165679 A]

PUBLISHED: June 11, 1992 (19920611)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 02-293264 [JP 90293264]

FILED: October 29, 1990 (19901029)

INTL CLASS: [5] H01L-029/784; H01L-021/322

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1270, Vol. 16, No. 465, Pg. 51,
September 28, 1992 (19920928)

ABSTRACT

PURPOSE: To display the excellent characteristics of a thin film transistor by a method wherein halogen element is mixed in at least one out of the silicon oxide film and the gate insulating film of an insulating gate type field effect transistor to form the interface level.

CONSTITUTION: Halogen element is mixed in at least one out of the silicon oxide film 12 on an insulating substrate 11 and the gate insulating film 15 of an insulating gate type field effect transistor so that almost no local level may exist in the interface between semiconductor layers 14 and the silicon oxide film 12. That is, the silicon oxide film 12 is formed by sputtering process in the atmosphere of fluoride gas and oxide gas or fluoride gas and an inert gas containing the oxide gas while a part of the semiconductor films 14 is formed as the channel formation region 17 of the title insulating gate type semiconductor device. Through these procedures, said semiconductor device displaying excellent interfacial characteristics between the semiconductor films 14 and the gate oxide film 15 can be realized.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
008851979 **Image available**

WPI Acc No: 1991-355999/199149

XRAM Acc No: C91-153435

XRPX Acc No: N91-272457

High reliability thin-film transistors - for use in LCD or display image sensors
Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEMI); YAMAZAKI S (YAMA-I);
ZHANG H (ZHAN-I)

Inventor: YAMAZAKI S; ZHANG H

Number of Countries: 005 Number of Patents: 012

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 459763	A	19911204	EP 91304819	A	19910529	199149 B
JP 4032267	A	19920204	JP 90140580	A	19900529	199218
JP 4165679	A	19920611	JP 90293264	A	19901029	199230
US 5313075	A	19940517	US 91704103	A	19910522	199419
			US 9344883	A	19930409	
US 5523240	A	19960604	US 91704103	A	19910522	199628
			US 9344883	A	19930409	
			US 94219286	A	19940328	
JP 8264527	A	19961011	JP 90293264	A	19901029	199651
			JP 96110307	A	19901029	
JP 8274345	A	19961018	JP 90293264	A	19901029	199701
			JP 96110306	A	19901029	
EP 459763	B1	19970502	EP 91304819	A	19910529	199722
DE 69125886	E	19970605	DE 625886	A	19910529	199728
			EP 91304819	A	19910529	
JP 2652368	B2	19970910	JP 90293264	A	19901029	199741
			JP 96110306	A	19901029	
JP 10313122	A	19981124	JP 90140580	A	19900529	199906
			JP 98145642	A	19900529	
JP 11340473	A	19991210	JP 98145642	A	19980527	200009 N
			JP 98377420	A	19980527	

Priority Applications (No Type Date): JP 90293264 A 19901029; JP 90140580 A 19900529; JP 96110307 A 19901029; JP 96110306 A 19901029; JP 98145642 A 19900529; JP 98377420 A 19980527

Cited Patents: Jnl.Ref; FR 2573916; JP 1035959; JP 2077127; JP 61183970; JP 62039068; JP 62244165; JP 135959; JP 277127; JP 6239068

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 459763	A	27		

Designated States (Regional): DE FR GB

JP 11340473	A	5 H01L-029/786	Div ex application JP 98145642
JP 4032267	A	5	
JP 4165679	A	15 H01L-029/784	
US 5313075	A	25 H01L-027/01	Cont of application US 91704103
US 5523240	A	25 H01L-021/225	Cont of application US 91704103
			Div ex application US 9344883

			Div ex patent US 5313075
JP 8264527	A	12 H01L-021/316	Div ex application JP 90293264
JP 8274345	A	12 H01L-029/786	Div ex application JP 90293264
EP 459763	B1 E	27 H01L-029/786	
Designated States (Regional): DE FR GB			
DE 69125886	E	H01L-029/786	Based on patent EP 459763
JP 2652368	B2	14 H01L-029/786	Div ex application JP 90293264
			Previous Publ. patent JP 8274345
JP 10313122	A	9 H01L-029/786	Div ex application JP 90140580

Abstract (Basic): EP 459763 A

Thin film transistor is formed on a substrate comprising source and drain regions, also a channel region, a gate electrode and a gate insulator. A protective layer- formed between transistor and substrate prevents transistor contamination from impurities in substrate. A halogen element can be added to the gate insulator. Protective layer is made of silicon oxide with a halogen added.

Channel region comprises a non-single crystalline semiconductor of distorted lattice structure containing silicon.

USE/ADVANTAGE - Used partic. as a highly reliable thin-film transistor suitable as a driving element in display image sensor or liq. crystal device. Reliability is main advantage of the device.(27pp Dwg.No.2c/23)

Title Terms: HIGH; RELIABILITY; THIN; FILM; TRANSISTOR; LCD; DISPLAY; IMAGE ; SENSE

Derwent Class: L03; U12; U14

International Patent Class (Main): H01L-021/225; H01L-021/316; H01L-027/01; H01L-029/784; H01L-029/786

International Patent Class (Additional): C23C-014/34; H01L-021/20; H01L-021/268; H01L-021/322; H01L-021/336; H01L-021/84; H01L-029/49; H01L-029/78

File Segment: CPI; EPI